

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R) File 347:JAPIO  
(c) 1998 JPO & JAPIO. All rts. reserv.

04036339  
STORAGE DEVICE

PUB. NO.: 05-028039 [J P 5028039 A]  
PUBLISHED: February 05, 1993 (19930205)  
INVENTOR(s): ISHIDOSHIRO TAKASHI  
APPLICANT(s): MELCO KK [000000] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO.: 03-206321 [JP 91206321]  
FILED: July 22, 1991 (19910722)  
INTL CLASS: [5] G06F-012/08; G06F-012/16  
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units)  
JAPIO KEYWORD: R131 (INFORMATION PROCESSING -- Microcomputers &  
Microprocessors)  
JOURNAL: Section: P, Section No. 1555, Vol. 17, No. 308, Pg. 135, June  
11, 1993 (19930611)

#### ABSTRACT

PURPOSE: To realize the data rewriting in the storage device using an electrically erasable EEPROM for practical use.  
CONSTITUTION: Using an EEPROM 11 capable of deletion in a block unit, data written by a CPU 21 is temporarily stored in a cache memory 15. When the data is written by the CPU 21, a controller 12 deletes the data of the EEPROM 11 corresponding to the data. The data on the cache memory 15 is written in the EEPROM 11 after the lapse of the prescribed time by the end of the access to the data from the CPU 21, or when the cache memory 15 is written up, or the power source disconnection is detected. From the CPU 21 in a computer 3, the deletion and the end of writing of data of the EEPROM 11 so as not to occupy the CPU 21, resulting in realizing the storage device capable of writing and reading at a speed for practical use.

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-28039

(43)公開日 平成5年(1993)2月6日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 12/08  
12/16

識別記号

庁内整理番号

F I

技術表示箇所

J 7232-5B  
3 4 0 Q 7629-5B

審査請求 未請求 請求項の数4(全12頁)

(21)出願番号 特願平3-206321

(22)出願日 平成3年(1991)7月22日

(71)出願人 390040187

株式会社メルコ

愛知県名古屋市中区大須4丁目11番50号

(72)発明者 石徹白 敬

名古屋市中区大須四丁目11番50号 株式会  
社メルコ内

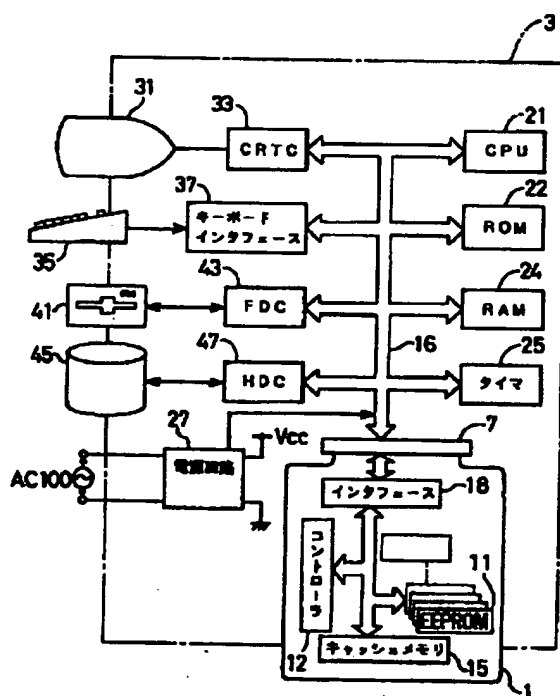
(74)代理人 弁理士 五十嵐 孝雄 (外1名)

(54)【発明の名称】 記憶装置

(57)【要約】

【目的】 電氣的に消去可能なEEPROMを用いた記憶手段におけるデータの書き換えを現実的な使用の態様に合致したものとする。

【構成】 ブロック単位で消去可能なEEPROMを用い、CPU21から書き込まれるデータを一旦キャッシュメモリ15に蓄える。コントローラ12は、CPU21からデータが書き込まれると、そのデータに対応するEEPROM11のデータを消去する。CPU21からのそのデータへのアクセスが完了してから所定時間後や、キャッシュメモリ15に余裕がなくなったとき、あるいは電源断が検出されたとき、キャッシュメモリ15上のデータをEEPROM11に書き込む。コンピュータ3のCPU21から見た場合、EEPROM11のデータの消去と書き込みの完了までCPU21が拘束されるということがなく、現実的に使用可能な速度で書き込み・読み出し可能な記憶装置が構成される。



## 【特許請求の範囲】

【請求項1】 記憶しているデータを、複数のアドレスが含まれるブロックを単位として電氣的に消去可能なプログラマブルリードオンリメモリを用いた記憶手段と、該記憶手段へのデータの書き込み動作が生じたとき、このデータを一時的に蓄えるキャッシュメモリと、

該キャッシュメモリにデータが蓄えられたとき、該データの格納先が属するブロックのデータを電氣的に消去するデータ消去手段と、

該データの消去後の所定のタイミングで、前記キャッシュメモリに蓄えられたデータを前記ブロックに書き込む書込手段とを備えた記憶装置。

【請求項2】 請求項1記載の記憶装置であって、キャッシュメモリに蓄えられたデータが該データの格納先が属するブロックの一部分に該当するとき、データ消去手段による該ブロックのデータの消去に先だてて該ブロックのデータを読み出す先読手段と、書込手段によるデータの書き込みに備えて、該データに、前記先読手段が読みだしたデータを合成するデータ合成手段とを備えた記憶装置。

【請求項3】 請求項1記載の記憶装置であって、記憶手段へのデータの読み出し動作が生じたとき、このデータがキャッシュメモリに存在する場合には、該データをキャッシュメモリから出力するデータ読出手段を備えた記憶装置。

【請求項4】 請求項1記載の記憶装置であって、電源断を検出する電源断検出手段と、電源断が検出されたとき、キャッシュメモリに記憶手段に未だ書き込まれていないデータがあるか否かを判断する未書込データ判断手段と、未書込のデータが存在すると判断された場合に、データ消去手段および書込手段を動作させる電源断時処理手段と、電源断が検出されてから、前記データ消去手段および書込手段の動作が完了するまでの間、記憶装置の電源をバックアップする電源バックアップ手段とを備えた記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、プログラマブルリードオンリメモリを用いて構成された記憶装置に関し、コンピュータ等の内部もしくは外部記憶装置として機能する記憶装置に関する。

## 【0002】

【従来の技術】 従来、記憶内容の消去に紫外線を利用するプログラマブルリードオンリメモリ（以下、PROMと呼ぶ）に対して、記憶内容の電氣的消去が可能なPROMが開発され、実用に供されている。こうしたPROMをEEPROM（Electrically Erasable PROM）と呼ぶ。EEPROMは、電源を長期に亘って落としても

記憶内容が変化することはないので、コンピュータやプリンタ、その他の電気機器の設定値などを記憶しておくといった用途での利用が始まっている。EEPROMを使用すると、変更した設定値などを保持するのにバックアップ用のバッテリー等を必要としないという利点がある。

【0003】ところで、EEPROMの場合、記憶内容を直接書き換えることはできず、記憶したデータを変更する場合には、まず変更しようとするアドレスのデータを消去し、その後そのアドレスにデータを書き込まなければならない。従って、データを書き換える場合には、消去と書き込みという二つの処理を必ず必要とするのである。

## 【0004】

【発明が解決しようとする課題】 しかしながら、EEPROMは、そのデータの消去が電気化学的反応により行なわれるから、1バイトのデータの消去にもその後の書き込みにも、かなりの時間を要するという短所がある。従って、複数バイトのデータを書き換えようすると、消去と書き込みの処理を繰り返すので、全データの書き換えが完了するのに数十秒といった長時間を要し、主記憶の一部として用いることはおろか、外部記憶装置として用いることも困難であった。

【0005】最近になって、EEPROMのデータを一括して消去可能なタイプや、あるいはEEPROMの内部をいくつかのブロックに分けてブロック毎に消去可能なタイプも提案されてはいるが、その場合には、コンピュータが1バイトのデータを書き換えようとしたとき対処することができない。

【0006】本発明はこうした問題を解決し、EEPROMを用いた記憶手段におけるデータの書き換えを現実的な使用の態様に合致したものとすることを目的となされた。そのために、本発明は次の構成を採った。

## 【0007】

【課題を解決するための手段】 本発明の記憶装置は、図1に基本的構成を例示するように、記憶しているデータを、複数のアドレスが含まれるブロックを単位として電氣的に消去可能なプログラマブルリードオンリメモリPROMを用いた記憶手段M1と、該記憶手段M1へのデータの書き込み動作が生じたとき、このデータを一時的に蓄えるキャッシュメモリM2と、該キャッシュメモリM2にデータが蓄えられたとき、該データの格納先が属するブロックのデータを電氣的に消去するデータ消去手段M3と、該データの消去後の所定のタイミングで、前記キャッシュメモリM2に蓄えられたデータを前記ブロックに書き込む書込手段M4とを備えたことを要旨とする。

【0008】なお、上記構成に加えて、図1に破線で示したように、キャッシュメモリM2に蓄えられたデータがそのデータの格納先が属するブロックの一部分に該当するとき、データ消去手段M3によるブロックのデータ

3

の消去に先だつてこのブロックのデータを読み出す先読手段M11と、書込手段M4によるデータの書き込みに備えて、このデータに、先読手段M11が読みだしたデータを合成するデータ合成手段M12とを備えることも好適である。キャッシュメモリM2に蓄えられたデータが、そのデータの格納先が属するブロックの一部分に該当するときには、残部のデータを保存する必要があるからである。

【0009】また、図1に一点鎖線で示したように、記憶手段M1へのデータの読み出し動作が生じたとき、このデータがキャッシュメモリM2に存在する場合には、このデータをキャッシュメモリM2から出力するデータ読出手段M21を備えることもできる。キャッシュメモリM2からデータを読み出すので、データの読出までにデータを記憶手段M1に書き込んでおく必要がなく、データの読み出し時間の短縮を図ることもできる。

【0010】更に、この記憶装置の電源が不意に遮断される場合を考えて、図1に二点鎖線で示したように、電源断を検出する電源断検出手段M31と、電源断が検出されたとき、記憶手段M1に未だ書き込まれていないデータがキャッシュメモリM2にあるか否かを判断する未書込データ判断手段M32と、未書込のデータが存在すると判断された場合に、データ消去手段M3および書込手段M4を動作させる電源断時処理手段M33と、電源断が検出されてからデータ消去手段M3および書込手段M4の動作が完了するまでの間、記憶装置の電源をバックアップする電源バックアップ手段M34と、を備えることも好適である。

【0011】

【作用】以上のように構成された本発明の記憶装置は、記憶手段M1へのデータの書き込み動作が生じたとき、キャッシュメモリM2はこのデータを一時的に蓄える。キャッシュメモリM2にデータが蓄えられたとき、データ消去手段M3が、データの格納先が属するブロックのデータを電氣的に消去する。データの消去後の所定のタイミングで、書込手段M4が、キャッシュメモリM2に蓄えられたデータを記憶手段M1の対応するブロックに書き込む。記憶手段M1は、記憶しているデータを、複数のアドレスが含まれるブロックを単位として電氣的に消去可能なプログラマブルリードオンリメモリPMを用いたもので、ブロック単位でデータの書き換えが行なわれる。

【0012】

【実施例】以上説明した本発明の構成・作用を一層明らかにするために、以下本発明の好適な実施例について説明する。図2は、本発明の一実施例としての記憶装置1を実装したコンピュータ3の概略構成を示すブロック図である。

【0013】この記憶装置1は、コンピュータ3の拡張スロット7に装着されるボードタイプのものであり、ボ

4

ード上には8ビット×256KのEEPROM11が40個搭載されている。従って、全体の記憶容量は10メガバイトである。更に、記憶装置1には、このEEPROM11を制御するコントローラ12やスタティックRAMからなるキャッシュメモリ15、およびコンピュータ3のシステムバス16とのデータのやり取りを司るインタフェース18などが備えられている。なお、本実施例で用いたEEPROM11は、その消去端子を所定時間ハイレベルに保つことで、256K全部を1ブロックとして、全データを一度に消去する機能を有するが、全体を複数のブロック（例えば4ブロック）に分け、ブロック毎に消去可能なEEPROMも開発されており、これを用いることも何等差し支えない。なお、本実施例で用いたEEPROM11の場合、消去に要する時間は、約40秒である。

【0014】一方、コンピュータ3は、図示するように、周知のCPU21、ROM22、RAM23、タイマ25、電源回路27などから構成されており、内部のシステムバス16には、CRT31への画像信号の出力を制御するCRTコントローラであるCRTC33、キーボード35とのインタフェースを司るキーボードインタフェース37、フレキシブルディスクドライブ41のコントローラであるFDC43、ハードディスク45のコントローラであるHDC47も接続されている。

【0015】コンピュータ3に内蔵された電源回路27は、商用交流100Vから安定化された電源電圧VCCをコンピュータ3全体に供給する回路であり、図示しない電源スイッチによる電源の遮断や停電あるいは瞬停等を検出する機能も備える。電源遮断の検出信号は、割込要求信号としてシステムバス16に出力され、拡張スロット7にも接続されている。

【0016】コンピュータ3内部のシステムバス16には、フルアドレス信号はもとよりデータ信号、制御信号など、CPU21が扱うほとんどの信号の信号線が含まれており、これらの信号は、総て拡張スロット7にも与えられている。従って、この拡張スロット7に実装された記憶装置1は、FDC43やHDC47などの他のコントローラと同様に、システムバス16を介したアドレス、データ、制御信号のやり取りが可能である。拡張スロット7に実装された記憶装置1は、CPU21からは、フレキシブルディスクドライブ41やハードディスク45と同様、外部記憶装置のひとつとして扱われる。

【0017】次に、コンピュータ3のCPU21から記憶装置1にデータの書き込みが行なわれる場合の処理について説明する。CPU21からみれば、記憶装置1は外部記憶装置のひとつに過ぎず、所定の論理アドレスを有するデバイスとしてアクセスされる。記憶装置1のコントローラ12は、ROM、RAM、タイマ等を内蔵した1チップマイクロプロセッサであり、図3ないし図5に示す種々の処理を実行する。コンピュータ3のCPU

21から、システムバス16を介して、データの書込要求が生じたとき、記憶装置1のコントローラ12は、図3に示す書込要求対応処理ルーチンを実行する。なお、本実施例ではコントローラ12に1チップマイクロプロセッサを用い、ソフトウェアによりその機能を実現しているが、ハードウェアにより同等の機能を実現することも容易である。

【0018】図3に示したルーチンを起動すると、コントローラ12は、まずキャッシュメモリ15に余裕があるか否かの判断を行なう(ステップS100)。通常、CPU21から記憶装置1に書き込まれるデータは、一旦キャッシュメモリ15に蓄えられるが、CPU21から短期間に大量の書込要求が生じると、キャッシュメモリ15の余裕がなくなってしまうことがある。ステップS100では、これを判断するのである。

【0019】キャッシュメモリ15に余裕がある場合には、そのままCPU21から書込要求のあったデータをキャッシュメモリ15に記憶する処理を行なう(ステップS110)。CPU21からキャッシュメモリ15へのデータの転送は、システムバス16、インタフェース18を介して行なわれるが、CPU21の管理の下で1バイトずつ行なってもよいし、コンピュータ3にダイレクトメモリアクセスコントローラ(DMA)が設けられている場合には、ブロック転送により行なってもよい。

【0020】キャッシュメモリ15にデータを転送した後、キャッシュメモリ15にEEPROM11に書き込むべきデータがあるとして、これを示すフラグFに値1を設定し(ステップS120)、次に、EEPROM11に書き込むべきデータの大きさがEEPROM11の消去単位と比べて十分に大きいのか否かの判断を行なう(ステップS130)。本実施例のEEPROM11はチップ毎で消去するタイプのものであり、EEPROM11の消去単位は256Kバイトである。書込データの大きさが消去単位より十分に大きい場合には、書込データの格納先に対応するブロック(ここではEEPROM11のあるチップ)のデータを消去する処理を行なう(ステップS140)。

【0021】CPU21からデータの書込要求が出されてから、EEPROM11の該当するブロックのデータの消去が行なわれるまでの様子を図4に区間1として示した。一方、ステップS130の判断において、書込要求のあったデータの大きさが消去単位より小さいと判断された場合には、該当ブロック、即ちデータの書込先のチップの全データをキャッシュメモリ15に読み出す処理を行ない(ステップS150)、このデータとキャッシュメモリ15に記憶されたデータとを合成する処理を行なう(ステップS160)。EEPROM11のデータとキャッシュメモリ15のデータとが合成される様子を図5に示した。EEPROM11は、全データが一括して消去されるので、新たに書き込まれる部分以外のデ

ータが失われないよう予めキャッシュメモリ15に読み出し、新たに書き込まれるデータと合成しておくのである。データを合成した後、該当ブロックのデータを消去する処理を行なう(ステップS140)。この場合の各信号のやり取りを図6に区間11として示した。

【0022】以上説明した処理によりCPU21からデータの書込要求があると、このデータをキャッシュメモリ15に記憶し、必要があればデータを合成した後、EEPROM11の対応するブロックを消去する処理を行ない、EEPROM11へのデータの書込準備を完了する。CPU21からデータの書込要求があっても一旦キャッシュメモリ15にデータを蓄えてEEPROM11に直ちに書き込まないのは、EEPROM11にデータを書き込むためには、データの消去が必要であり、これに長時間(本実施例のEEPROM11では約40秒、図4ないし図6に示す区間2、12)を要するからである。

【0023】EEPROM11へのデータの書込準備が完了した状態では、EEPROM11に書き込まれるべきデータはキャッシュメモリ15上にのみ存在することになる。このデータは、直ちにEEPROM11に書き込まれる訳ではないので、CPU21からデータの書込が次々になされているような場合には、キャッシュメモリ15へのデータの記憶とEEPROM11の消去のみ行なわれることになり、EEPROM11に書き込まれていないデータがキャッシュメモリ15に残った状態となる。キャッシュメモリ15上に未書込のデータが存在する場合には、所定のタイミングで、キャッシュメモリ15上のデータをEEPROM11に書き込むことになるが、その書込のタイミングは、本実施例では次の通りである。

【0024】① CPU21から記憶装置1の該当部位へのアクセスが終了してから所定時間経過したとき、即ち、書き込まれたデータが書き直される可能性は低いと判断できるとき。

② キャッシュメモリ15にCPU21からのデータを記憶する余裕がないとき、即ち、そのままキャッシュメモリ15にデータを書き込んだのでは、データがオーバーフローしてしまうとき。

③ 電源遮断の条件が検出されたとき、即ち、EEPROM11に書き込まなければキャッシュメモリ15上のデータが失われる恐れがあるとき。

【0025】これらの条件におけるEEPROM11へのデータの書込について説明する。①の条件に該当する場合の処理を、図7に示した。図7に示したフローチャートは、CPU21からの記憶装置1へのアクセスがない場合に、コントローラ12に内蔵したタイマにより所定時間毎に起動されるタイマ割込処理ルーチンである。この割込処理が起動されると、まずフラグFが値1であるか否かの判断を行なう(ステップS200)。フラグ

7

Fは、キャッシュメモリ15に未書込のデータがある場合に値1にセットされるので、その場合には、この未書込のデータに対するCPU21からの最終アクセスがあつてから所定の時間が経過しているか否かの判断を行なう(ステップS210)。

【0026】一般にコンピュータにおける特定のデータへのアクセスはある時間内に集中する傾向にあるから、キャッシュメモリ15に新たなデータが書き込まれたからといって直ちにEEPROM11に書き込むと、直後にデータが書き直され、データの更新に無用な時間を要することになりやすい。こうした問題を回避するために、キャッシュメモリ15に書き込まれたデータに対するCPU21からのアクセスが終了してから所定時間Tpだけ、このデータのEEPROM11への書込を待つのである。

【0027】最終アクセスから所定時間経過したと判断された場合には、キャッシュメモリ15の未書込データであつて対応するEEPROM11の消去が終わっているデータを、ブロック単位でEEPROM11に書き込む処理を行なう(ステップS220)。本実施例では、EEPROM11の1チップが1ブロックに相当するので、256Kバイトを単位としてデータの書込を行なうことになる。データの書込のタイミングを、図4に図3として例示する。

【0028】ブロック単位でのデータの書込が完了すると、未書込のデータの全ブロックの書込が完了したか否かを判断し(ステップS230)、全ブロックの書込が完了していればフラグFを値0にリセットして(ステップS240)、「RTN」に抜けて本ルーチンを終了する。なお、ステップS200、S210、S230での判断が「NO」の場合には、いずれも「RTN」に抜けて、何も行なわずに本ルーチンを終了する。

【0029】以上の処理により、記憶装置1は、CPU21からの該当データへのアクセスが終了してから所定時間経過したとき、即ち書き込まれたデータが書き直される可能性は低いと判断できるとき、キャッシュメモリ15上の未書込データをEEPROM11の所定の部位に、ブロック単位で書き込む処理を行なう。

【0030】次に既述した②の条件、即ちキャッシュメモリ15にCPU21からのデータを記憶する余裕がないと判断された場合に行なわれるデータの書込について説明する。この場合には、CPU21がキャッシュメモリ15にそのままデータを書き込んだのでは、データがオーバーフローしてしまうので、CPU21からキャッシュメモリ15にデータを受け取る前に、キャッシュメモリ15上の未書込データをEEPROM11の所定の部位に書き込むのである。

【0031】この場合、即ち図3に示したフローチャートのステップS100において、キャッシュメモリ15に余裕がないと判断された場合には、コントローラ12

8

は、まずインタフェース18、システムバス16を介してBUSY信号を出力する処理を行なう(ステップS170)。このBUSY信号は、CPU21に対して待機を要求する信号である。続いて、コントローラ12は、キャッシュメモリ15上の1ブロック(256Kバイト)分の未書込データをEEPROM11に書き込む処理を行ない(ステップS180)、その後、BUSY信号を解除する処理を行なう(ステップS190)。

【0032】BUSY信号の解除によりCPU21は記憶装置1に対してデータの転送を開始する。ステップS170ないしステップS190の処理により、キャッシュメモリ15上の少なくとも1ブロックについては、データがEEPROM11に書き込まれ消去可能となっているから、記憶装置1はキャッシュメモリ15のこのブロックにデータを記憶する(ステップS110)。ステップS110以下の処理は既述した通りである。

【0033】次に、③の条件、即ち電源断の場合の処理について、図8のフローチャートに基づいて説明する。電源スイッチの操作や停電による電源断を電源回路27が検出すると、この検出信号はシステムバス16、インタフェース18を介してコントローラ12に入力され、コントローラ12に対して、最高の優先順位を持つ電源断時割込要求を起こす。この割込要求を受けて、コントローラ12は図8の電源断時割込処理ルーチンを起動する。

【0034】この割込ルーチンが起動されると、まずキャッシュメモリ15上に未書込のデータがあるか否かの判断を行ない(ステップS300)、未書込のデータがなければそのまま処理を終了する。一方、未書込のデータがあると判断された場合には、上述したケースと同様、キャッシュメモリ15上のそのデータをEEPROM11にブロック単位で書き込む処理を行なう(ステップS310)。かかる処理の間中、電源回路27は、記憶装置1全体の電源を保持する。

【0035】以上説明した本実施例の記憶装置1は、電気的に消去可能なプログラマブルリードオンリーメモリであるEEPROM11を用いて、コンピュータ3用の大容量な外部記憶装置を実現することができる。この記憶装置1は、電源を長期に亘って落としても記憶内容が失われることはない。更に、使用中に電源が落ちるような事態が生じててもデータを失うことがない。また、キャッシュメモリ15を用いているので、コンピュータ3のCPU21から見た場合、EEPROM11のデータの消去と書込の完了までCPU21が拘束されるということがなく、アクセスに過大なオーバーヘッドを生じることがない。

【0036】なお、フローチャートには示さなかったが、図4、図6に示すように、キャッシュメモリ15上にデータが存在する間に、CPU21から同じデータの読み出し要求がなされた場合には、EEPROM11に

書き込んだ後であっても、EEPROM11からではなくキャッシュメモリ15からデータを読み出してCPU21に出力するよう構成することができる。この場合には、データの読み出し時間を短縮することもできる。

【0037】以上本発明の実施例について説明したが、本発明の記憶装置はこうした実施例に何等限定されるものではなく、例えば1チップのEEPROMの内部を複数のブロックに分けブロック毎に消去可能なタイプのプログラマブルリードオンリーメモリを用いた構成、コンピュータの主記憶に用いた構成、キャッシュメモリを二重化しキャッシュメモリからEEPROMへのデータの書込をコンピュータ3のCPU21の動作とは完全に分離して行なう構成、キャッシュメモリ15をバッテリーによりバックアップし電源断の際のEEPROMへのデータの書込を行わなくともデータが保存される構成、1メガバイトのEEPROMなど更に容量の大きな素子を用い大容量化を図った構成、あるいは記憶装置1へのデータの書込にDMA転送を用いた構成など、本発明の要旨を逸脱しない範囲内において、種々なる態様で実施し得ることは勿論である。

【0038】

【発明の効果】以上説明したように本発明によれば、電気的に消去可能なプログラマブルリードオンリーメモリを用いて、現実の使用に耐える速度で読み書き自在な記憶装置を構成することができるという極めて優れた効果を奏する。プログラマブルリードオンリーメモリを用いているので、電源を長期に亘って落としても記憶内容が失われることはない。更に、使用中に電源が落ちるような事態が生じて、最悪でもキャッシュメモリ上のデータを除いてはデータを失うことがない。また、キャッシュメモリを用いているので、この記憶装置にアクセスする側から見た場合、プログラマブルリードオンリーメモリのデータの消去と書込の完了まで外部の装置が拘束されるということがなく、アクセスに過大なオーバーヘッドを生じることがない。

#### 【図面の簡単な説明】

【図1】本発明の基本的構成を例示するブロック図である。

【図2】本発明の一実施例である記憶装置1とこれを組み込んだコンピュータ3の概略構成図である。

【図3】記憶装置1のコントローラ12が実行する書込要求対応処理ルーチンを示すフローチャートである。

【図4】書込データの容量が十分に大きい場合の記憶装置1内部でのデータ消去、書込等のタイミングを示すタイミングチャートである。

【図5】EEPROM11のブロックの一部のデータのみを書き換える場合のデータのやり取りの様子を示す模式図である。

【図6】書込データの容量がEEPROM11の一部に当たる場合の記憶装置1内部でのデータ消去、書込等のタイミングを示すタイミングチャートである。

【図7】記憶装置1のコントローラ12が実行するタイマ割込処理ルーチンを示すフローチャートである。

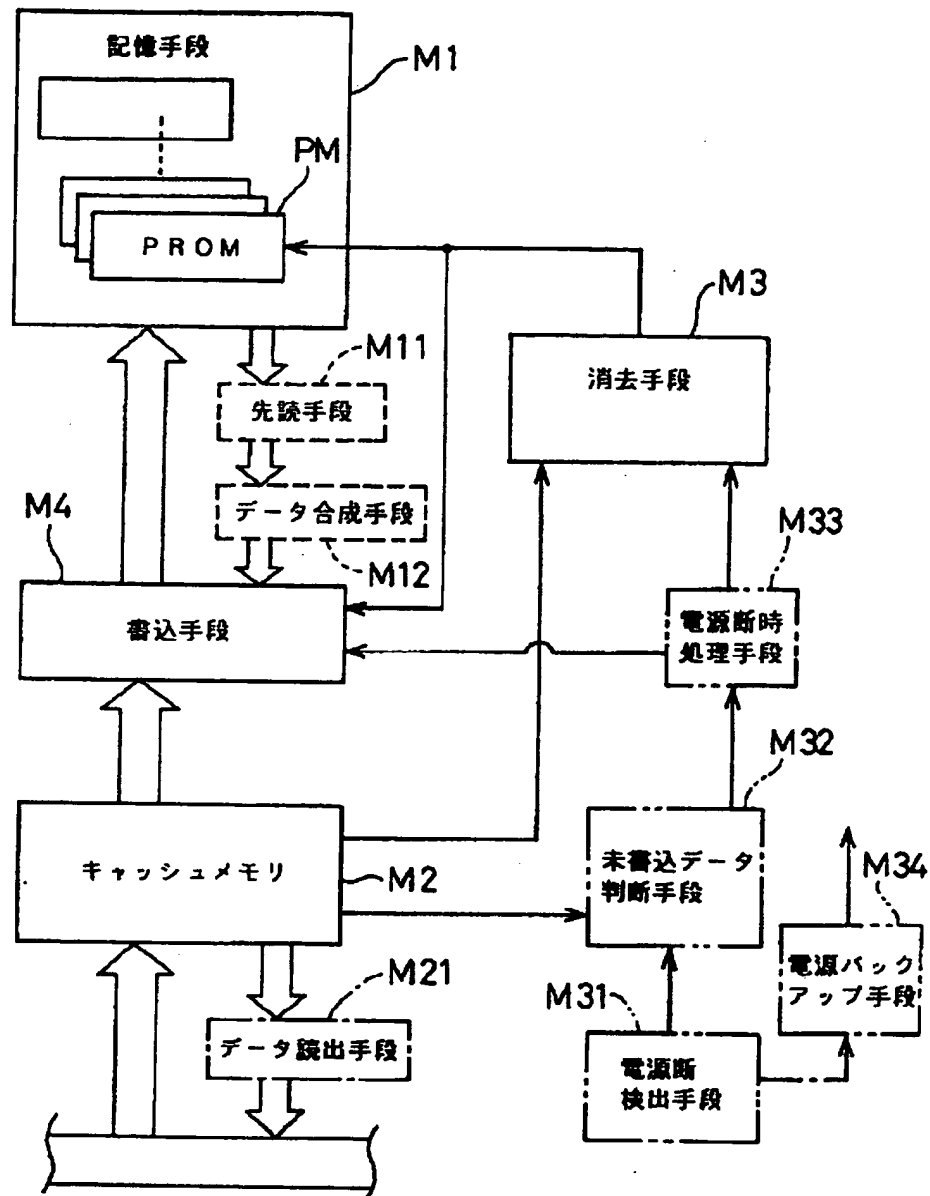
【図8】電源回路27により電源断が検出された場合に、コントローラ12が実行する割込処理ルーチンを示すフローチャートである。

#### 【符号の説明】

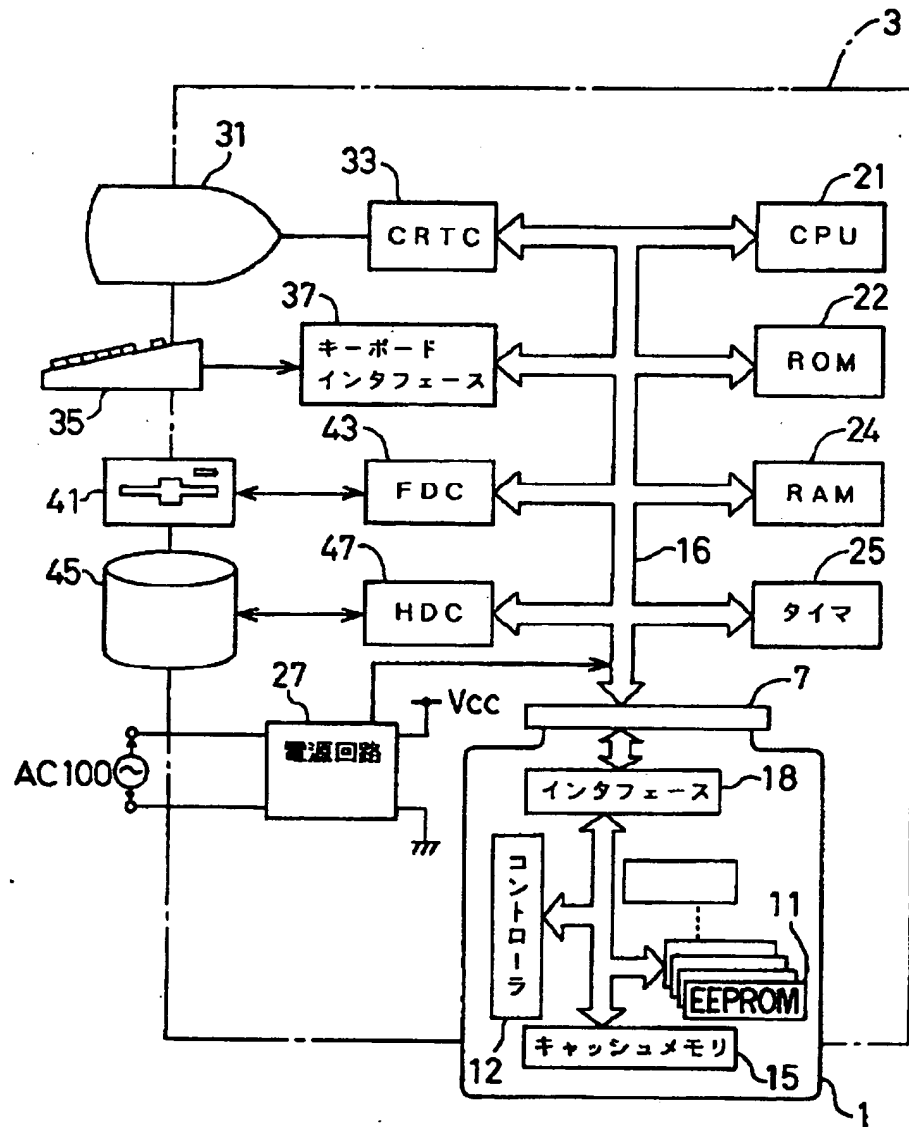
- 1 記憶装置
- 3 コンピュータ
- 11 EEPROM
- 12 コントローラ
- 15 キャッシュメモリ
- 21 CPU
- 27 電源回路
- M1 記憶手段
- M2 キャッシュメモリ
- M3 データ消去手段
- M4 書込手段
- PM プログラマブルリードオンリーメモリ



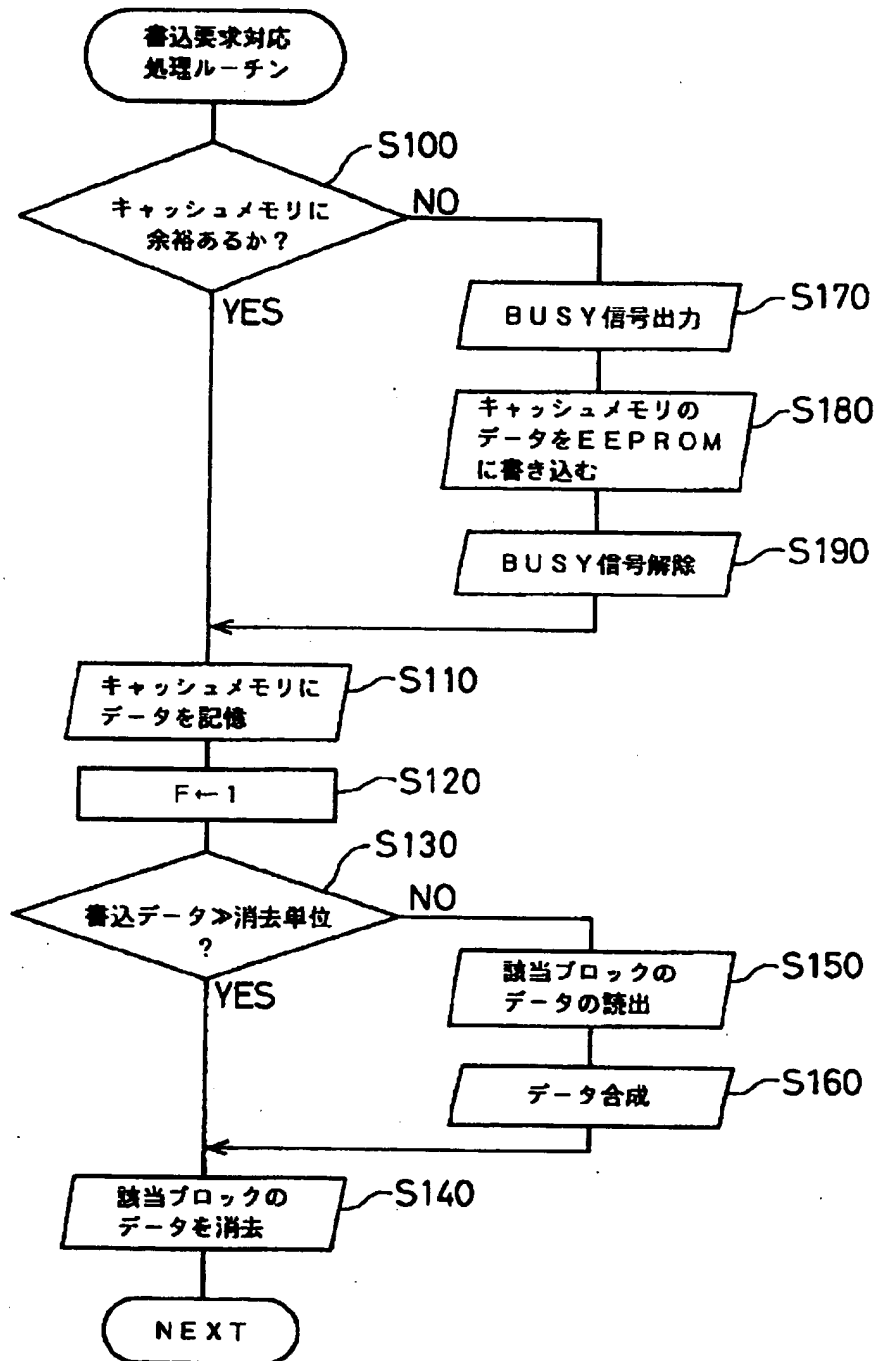
【図1】



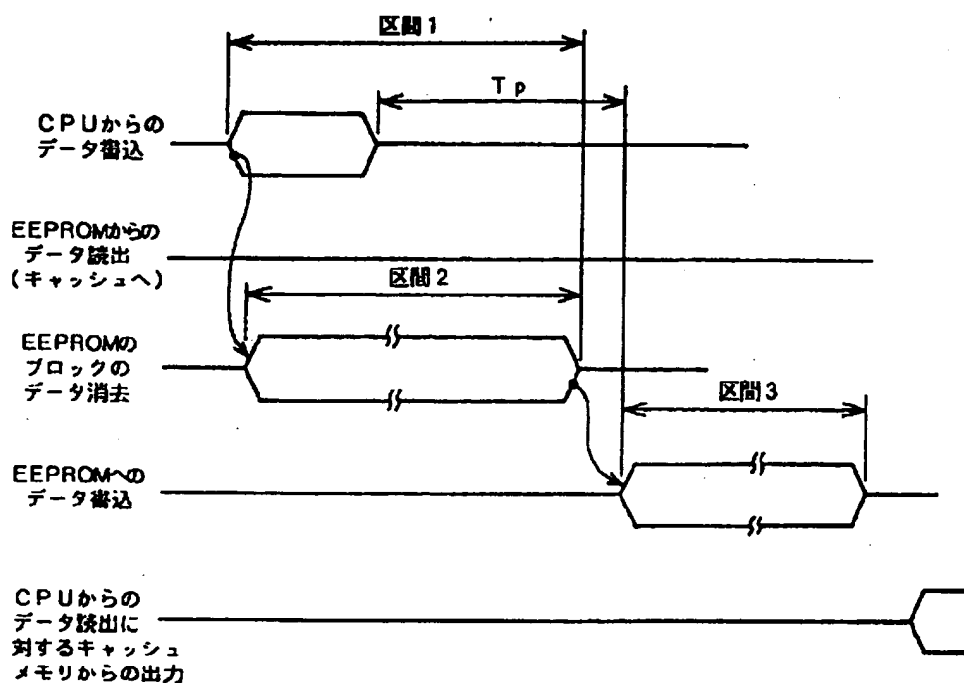
【図2】



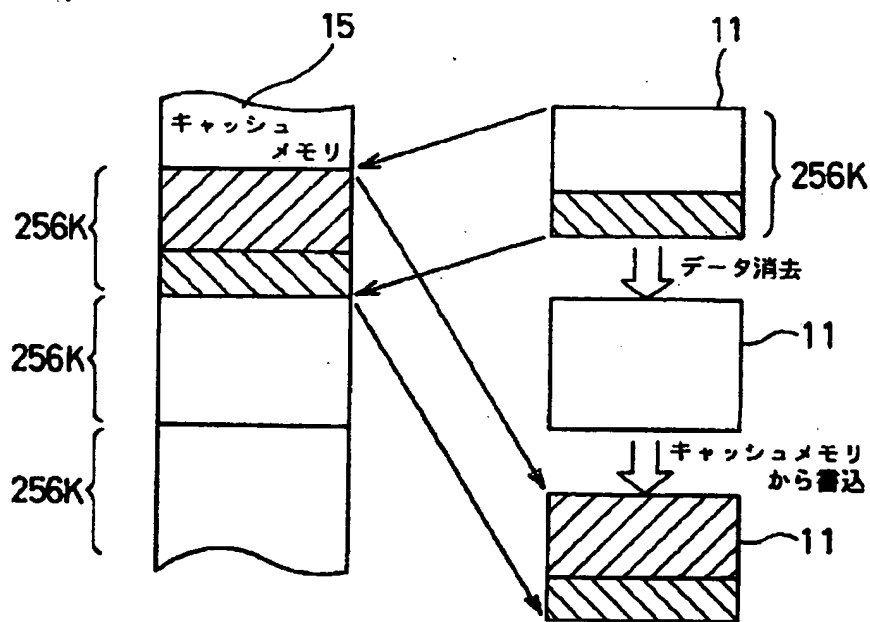
【図3】



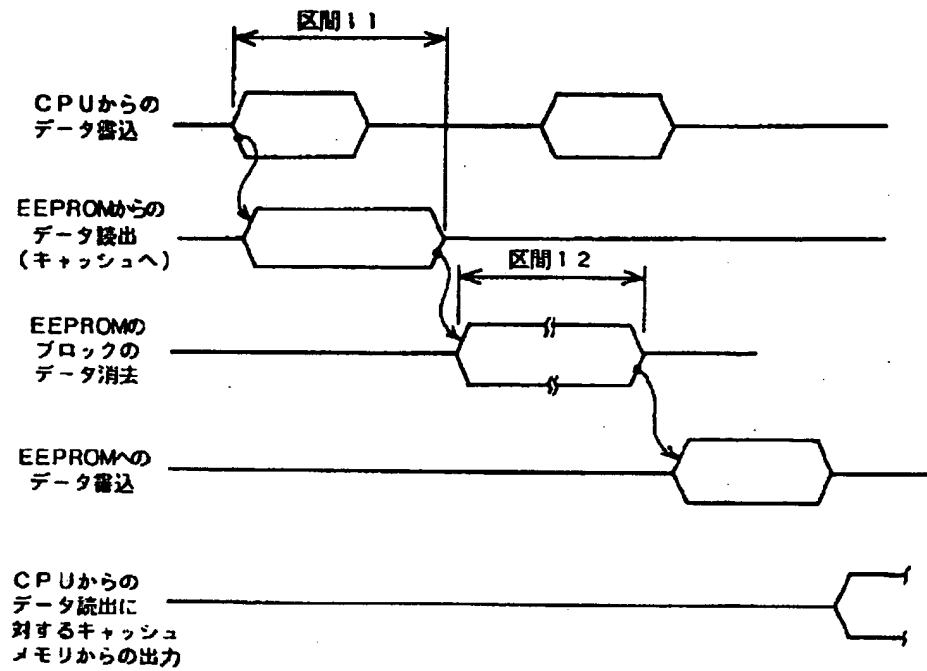
【図4】



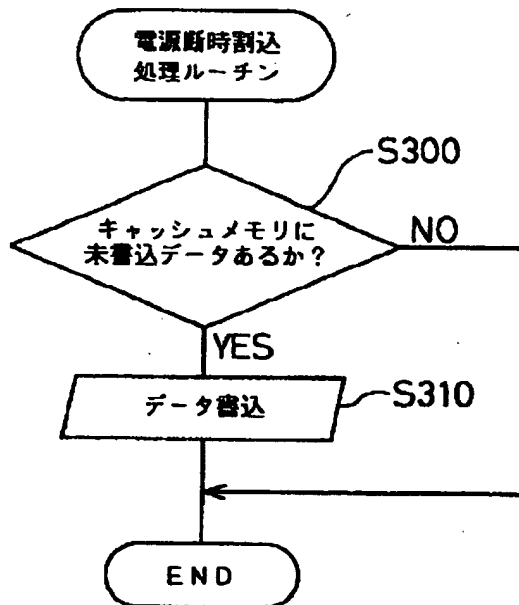
【図5】



【図6】



【図8】



【図7】

